

- (19) Japanese Patent Office
(12) **Publication of Unexamined Patent Application (A)**

(11) Publication Number: **Hei 4-294540**

(43) Publication Date: 1992.10.19

(51) International Patent Classification:

H01L 21/316

H01L 21/324

Examination Request Status: not yet requested.

Number of Claims: 2

Total Pages: 11

(21) Filing Number: Hei 3-60162

(22) Date of Application: 1991.03.25

Announced in the "Collected Preprints of the 1990 Fall Meeting of the Applied Physics Society of Japan", published by the Japan Applied Physics Society on September 9th, 1990. Assertion has been made of applicability of paragraph 1 of article 30 of the patent law.

(71) Applicant: 000006655

Nippon Steel Corporation
6-3 Ote-machi 2-chome
Chiyoda-ku, Tokyo-to

(72) Inventor:

Yasuo TSUMORI
c/o Nippon Steel Corporation, Hikari Steel Plant
3434 Shimata-oaza
Hikari-shi, Yamaguchi-ken

(72) Inventor:

Hajime SAITO
c/o Nippon Steel Corporation, Hikari Steel Plant
3434 Shimata-oaza
Hikari-shi, Yamaguchi-ken

(72) Inventor:

Shunichi HAYASHI
Nippon Steel Corporation, No. 1 Technology Lab
1618 Ida, Nakahara-ku
Kawasaki-shi, Kanagawa-ken

(72) Inventor:

Oji TACHIMORI
c/o Nippon Steel Corporation, Hikari Steel Plant
3434 Shimata-oaza
Hikari-shi, Yamaguchi-ken

(74) Agent:

Mikio HATTA, Attorney (and two other persons)

(54) [Title of the Invention] Semiconductor Manufacturing Method

(57) [Forward]

[Object] The object of the present invention is to provide a method for strengthening of oxide layer breakdown voltage of a silicon oxide film formed upon a silicon wafer produced by the Czochralski method.

[Composition] A heat treatment, prior to formation of a silicon oxide layer for insulation use by thermal oxidation of the surface of the silicon wafer, comprising the steps of: forming an oxide layer 5Å to 20Å thick upon the surface of the silicon wafer; and heat treating thereafter in an inert gas atmosphere at a heat treatment temperature T in the range of 1050°C to 1350°C for a time period t_c or longer; wherein t_c (hours) = $\exp[(1050 - T (^{\circ}\text{C})) / 130]$.

[Scope of the Patent Claims]

[Claim 1] A heat treatment method for a silicon wafer processed from silicon semiconductor crystal produced by the Czochralski method, prior to the heat treatment, comprising the step of forming an oxide layer 5Å to 20Å thick upon the surface of the silicon wafer.

[Claim 2] A semiconductor manufacturing method that forms a silicon oxide layer for dielectric layer use upon the surface of a silicon wafer processed from silicon semiconductor crystal produced by the Czochralski method; wherein prior to the formation of the silicon oxide layer the method comprises the steps of:

forming an oxide layer 5Å to 20Å thick upon the surface of the silicon wafer; and
heat treating thereafter in an inert gas atmosphere at a heat treatment temperature T in the range of 1050°C to 1350°C for a time period t_c or longer; wherein t_c is given by the following equation.

[Equation 1]

$$t_c \text{ (hours)} = \exp[(1050 - T (^{\circ}\text{C})) / 130]$$

Detailed Explanation of the Invention

[0001]

[Industrial Field of Application] The present invention relates to a method for strengthening of dielectric breakdown voltage of a dielectric film formed from silicon oxide obtained by thermal oxidation of the surface of a silicon semiconductor wafer used for silicon integrated devices.

[0002]

[Conventional Technology]

Typical silicon semiconductor wafers used for production of silicon integrated devices include wafers processed from silicon single crystal grown by the Czochralski method (silicon semiconductor wafers produced by this method are referred to hereinafter as CZ silicon wafers), wafers processed from silicon single crystal grown by the floating zone-melting method (silicon semiconductor wafers produced by this method are referred to hereinafter as FZ silicon wafers), and CZ silicon wafers upon whose surface has been grown a single crystal silicon layer by the chemical vapor deposition method of epitaxial growth (silicon semiconductor wafers produced by this method are referred to hereinafter as epitaxial silicon wafers). Presently CZ silicon wafers among such types of wafers are mainly used for production of silicon integrated devices.

[0003] However, the silicon oxide film obtained conventionally by oxidation of the surface of an FZ silicon wafer or epitaxial silicon wafer is known to have excellent dielectric breakdown voltage strength, and the silicon oxide film obtained by oxidation of the surface of a CZ silicon wafer is known to have relatively inferior dielectric breakdown voltage strength. This is mentioned in page 1 of the treatise of Fumio Kiyozumi, et al "Dielectric breakdown voltage of silicon thermal oxidation film" (Technical Report of the Institute of Electronics, Information and Communication Engineers SSD83-66 (1983) and in chapter 3 of "Sub-micron Device II" by Mitsumasa Yanagi (published by Maruzen (1988)). Previously methods have been proposed of heat treatment of the wafer prior to formation of silicon oxide film in order to strengthen dielectric breakdown voltage of a silicon oxide film of a CZ silicon wafer. Such methods of particular promise are explained below.

[0004] Page 79 of Hisao Yamabe's treatise "Defects of thin thermal oxidation films" (Technical Report of the Institute of Electronics, Information and Communication Engineers SSD83-103 (1982)) and in page 629 of the treatise of Yamabe, et al titled "Thickness dependence of dielectric breakdown failure of thermal SiO₂ films" (Proceedings of the Symposium on Defects in Silicon, 1983) disclose a method comprising oxidation of a CZ silicon wafer in an oxygen gas atmosphere at a high temperature of at least 1000°C, removing the silicon oxide film that was formed, and then forming the desired silicon oxide film. Typically the initial oxidation is called sacrificial oxidation, and the silicon oxide film formed at that time and subsequently removed is called the sacrificial oxide film. Among these treatises, a model is disclosed for which the high temperature heat treatment causes outward diffusion of super-saturated oxygen so as to cause oxygen precipitate nuclei (which become nuclei for wafer surface metal precipitation) to disappear, thereby improving dielectric breakdown voltage of the oxide film. However, dielectric breakdown voltage strength is not simply improved just by outward diffusion of super-saturated oxygen.

[0005] Publication of Unexamined Patent Application No. Sho 62-21067 discloses a heat treatment method prior to formation of the desired silicon oxide film; wherein the method carries out heat treatment of a CZ silicon wafer for at least 5 minutes at a temperature of at least 950°C in a reducing atmosphere containing hydrogen gas or a hydrogen halide compound. This method avoids formation of stacking faults at the wafer surface and makes possible formation of a high breakdown voltage oxide film. Presently as a result of improved crystal growth methods of commercial CZ silicon wafers, wafer quality is such that generation of stacking faults at the wafer surface almost doesn't occur even after device manufacturing processing.

[0006] Even such CZ silicon wafers which don't generate stacking faults have a rather low dielectric breakdown voltage strength of the silicon oxide film in comparison to FZ silicon wafers and epitaxial silicon wafers. Although there have been many patent applications related to heat treatment of silicon wafers, the object of such patent applications is control of the generation of crystalline defects such as oxidation induced stacking faults, etc. Only the above mentioned Publication of Unexamined Patent Application No. Sho 62-21067 mentions improvement of dielectric breakdown voltage strength of silicon oxide film.

[0007]

[Problems to be Solved by the Invention]

In accompaniment with increased miniaturization of silicon integrated devices, thickness of the silicon oxide layer used as the gate insulation layer of the MOS transistor is becoming much thinner, and better dielectric breakdown voltage characteristics are required. The object of the present invention is to provide a heat treatment method for improvement of dielectric breakdown voltage strength of the silicon oxide film obtained by oxidation of the surface of a CZ silicon wafer to roughly the same magnitude as that of the FZ silicon wafer or epitaxial silicon wafer.

[0008] The method of high temperature sacrificial oxidation, as disclosed in the above mentioned treatise of Yamabe, et al, has almost no improvement of dielectric breakdown voltage strength when thickness of the desired silicon oxide layer is greater than 300Å. The inventors of the present invention oxidized the surface of a CZ silicon wafer for 24 hours in dry oxygen at 1100°C to form a sacrificial oxide film that had a film thickness of 7100Å. After removal of this film by dilute hydrofluoric acid, a silicon oxide film was formed 250Å thick in a dry oxygen atmosphere at 1000°C, and dielectric breakdown voltage strength was examined. The distribution of dielectric breakdown voltage is shown in Figure 4. Although some improvement of dielectric breakdown voltage strength is recognizable in comparison to a wafer having undergone no sacrificial oxidation, etc. heat treatment as indicated in Figure 1, dielectric breakdown voltage strength was clearly still low in comparison to that of a FZ silicon wafer and an epitaxial silicon wafer as shown in Figure 2 and Figure 3.

[0009] The inventors of the present invention also carried out testing of the method comprising heat treatment in a hydrogen gas atmosphere containing a hydrogen halide compound. After heat treatment of a CZ silicon wafer at 1100°C for 5 hours in a hydrogen gas atmosphere containing 1% hydrogen chloride, a 250Å silicon oxide film was formed in a dry oxygen atmosphere at 1000°C, and then dielectric breakdown voltage strength was examined. Distribution of this dielectric breakdown voltage strength is shown in Figure 5. Although this shows improvement of dielectric breakdown voltage strength in comparison to the untreated wafer shown in Figure 1, this still has a low dielectric breakdown voltage strength in comparison to that of an FZ silicon wafer and epitaxial silicon wafer as shown in Figure 2 and Figure 3. Moreover, this method is deficient in that this method requires explosion-proof equipment, exhaust gas handling equipment, etc. due to use of hydrogen and hydrogen halide gas at high temperature during this method, thereby increasing production costs.

[0010]

[Means to Solve the Problems] In order to solve the above mentioned problems, the method of the present invention, after forming an oxide layer 5Å to 20Å thick upon the surface of the silicon wafer, then heat treats the wafer in an inert gas atmosphere at a heat treatment temperature T in the range of 1050°C to 1350°C for a time period t_c or longer; wherein t_c is given by the following equation.

[Equation 2]

$$t_c \text{ (hours)} = \exp[(1050 - T \text{ (°C)}) / 130]$$

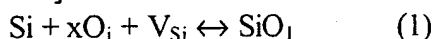
Although there is no upper limit for the holding time period, holding for a time period of 10 hours is sufficient since holding for a longer time period results in saturation. Here an inert gas is taken to be helium gas, neon gas, argon gas, xenon gas, or a mixture of such gases.

[0011]

[Operation of the Invention] The inventors of the present invention, as a result of detailed examination of the dielectric breakdown voltage strength of silicon oxide film of the CZ silicon wafer, made clear that the origin of the weakening of silicon oxide film dielectric breakdown voltage strength of the CZ silicon wafer relative to that of the FZ silicon wafer and epitaxial silicon wafer is the generation of an extremely fine compound of silicon atoms and oxygen atoms within the wafer or the crystal during heat treatment of the CZ silicon wafer or during growth of CZ single crystal. The compound of silicon atoms and oxygen atoms mentioned here is not the crystal defect that becomes a nucleus for generation of stacking faults such as those mentioned in Publication of Unexamined Patent Application No. Sho 62-21067.

[0012] The present invention is based upon discovery that dielectric breakdown voltage strength of the CZ silicon wafer can be effectively improved by dissolving this compound of silicon atoms and oxygen atoms within the CZ silicon wafer. The generation and decomposition reactions of the compound of silicon atoms and oxygen atoms within the CZ silicon wafer can be expressed by the following equation.

[Equation 3]



Here Si is the silicon atom, O_i is the interstitial oxygen atom, V_{Si} is the silicon atomic vacancy, and SiO_1 is the compound of silicon atoms and oxygen atoms that causes lowering of silicon oxide layer dielectric breakdown voltage strength. This decomposition reaction of this SiO_1 compound (i.e., the left-direction reaction of Equation (1)) progresses by (1) lowering the concentration of interstitial oxygen and by (2) lowering the concentration of silicon vacancies. *[TRANSLATOR'S NOTE: This looks like an error in the source text, since the left-direction reaction increases concentrations of silicon vacancies and interstitial oxygen.]*

[0013] When the CZ silicon wafer is held at the high temperature of 1050°C or above in an inert gas atmosphere, interstitial oxygen diffuses outward and is released to the atmosphere from the wafer surface, and silicon vacancies diffuse outward so as to disappear at the wafer surface. Concentration of either of these decreases within the wafer. The concentrations of interstitial oxygen and silicon vacancies within the wafer begin to decrease at the surface. Since diffusion coefficient of the silicon atomic vacancy is larger than that for the interstitial oxygen atom, equilibrium is quickly reached. When concentrations of the silicon atomic vacancies and interstitial oxygen atoms reach equilibrium, the compound of silicon atoms and oxygen atoms begins to decompose.

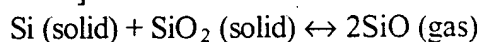
[0014] In an oxidizing atmosphere, such as dry oxygen gas, etc., an oxide film grows at the wafer surface which becomes a barrier for outward diffusion of interstitial oxygen, and the concentration of interstitial oxygen atoms doesn't drop below the equilibrium concentration due to supply of oxygen atoms from the atmospheric gas. Therefore progress of decomposition of the SiO_1 compound (i.e., the

origin of lowering of silicon oxide film dielectric breakdown voltage strength) within the wafer is insufficient.

[0015] When the atmosphere is nitrogen gas, although outward diffusion of interstitial oxygen progresses in the same manner as for an inert gas atmosphere, a nitration reaction occurs at the wafer surface so that silicon atomic vacancies are injected into the wafer interior. Therefore concentration of silicon atomic vacancies increases so that decomposition of the compound of silicon atoms and oxygen atoms doesn't progress sufficiently. Furthermore, nitrogen dissolves into the silicon during the heat treatment step and then precipitates out during the cooling step. Oxide film dielectric breakdown voltage strength markedly decreases when this precipitate is incorporated into the oxide film during the subsequent oxidation step.

[0016] When the atmosphere is hydrogen gas, the oxide film at the wafer surface evaporates due to reduction reaction of the silicon oxide film. Also when a halogen halide is included, a halogenation reaction of the silicon occurs so that the silicon wafer surface is etched, thereby increasing roughness of the wafer surface. A rough surface lowers dielectric breakdown voltage strength of the silicon oxide film obtained by oxidation of the silicon wafer surface. Therefore an inert gas atmosphere for the heat treatment atmosphere is preferred comprising argon gas, etc. that reacts with neither the silicon nor with the silicon oxide layer.

[Equation 4]



[0017] However, the highly purified inert gas used for commercial applications often contains a minute quantity of oxygen at about 0.1 ppm. When a silicon wafer is heat treated in inert gas containing a trace quantity of oxygen, the oxygen in the gas reacts with silicon to generate SiO gas, and surface pits are generated by etching of the silicon wafer surface as this reaction progresses. When this reaction reaches the equilibrium concentration of SiO gas at the silicon wafer surface, the reaction stops due to formation of a silicon oxide film at the silicon wafer surface. However, due to removal of surface SiO gas by inert gas flow across a silicon wafer placed in the flow of inert gas, SiO gas concentration is unable to reach the equilibrium concentration so that the generation of SiO gas doesn't stop. In this case, dielectric breakdown-voltage-strength-decreases-for-the-silicon-oxide-film-obtained-by-oxidation-of-this-wafer-surface due to roughness of the silicon wafer surface.

[0018] This problem can be solved if the silicon wafer surface is first provided with a shielding silicon oxide film (see Figure 6 (2)). However, when the wafer surface has a silicon oxide film, a permissible limit exists for silicon oxide film thickness due to hindrance of outward diffusion of interstitial oxygen atoms (see Figure 6 (3)). According to experiments of the inventors of the present invention, as shown in Figure 6 (4), the permissible thickness of silicon oxide film provided as shielding of the silicon wafer surface prior to heat treatment is at least 5Å and less than 20Å. Formation of a stable film is difficult below 5Å, and outward diffusion of interstitial oxygen becomes difficult above 20Å. Although "pass rate" within the figures will be explained when the working examples are described, this "pass rate" indicates the proportion of MOS diodes showing at least 10 MV/cm dielectric breakdown voltage

strength, which is an indicator for evaluation of dielectric breakdown voltage strength of the silicon oxide film.

[0019] When concentrations of interstitial oxygen atoms and silicon atomic vacancies have not dropped to the equilibrium concentrations during heat treatment, the reaction of super-saturated interstitial oxygen atoms continues to generate the compound with silicon atoms. Since diffusion coefficients for silicon atomic vacancies and interstitial oxygen atoms become small below 1050°C, this is beneficial for the generation reaction. Therefore setting heat treatment temperature to the optimum range is important. The inventors of the present invention performed experiments as shown in Figure 7 and found that at least 1050°C and preferably at least 1100°C was appropriate. The upper limit of temperature is 1350°C. This upper temperature limit results from a marked lowering of yield stress of the silicon wafer at temperatures above 1350°C, thereby increasing crystalline defects such as dislocations, etc. A further preferred heat treatment method lowers temperature extremely slowly down to 1050°C from a temperature above that at which the interstitial oxygen atoms are at the equilibrium concentration for the CZ silicon wafer prior to heat treatment, thereby suppressing the compound generation reaction in the vicinity of the wafer surface.

[0020] The heat treatment time period must be at least the time period for outward diffusion of interstitial oxygen atoms and silicon atomic vacancies so that concentrations drop below equilibrium concentrations and the decomposition reaction can start. During experiments of the inventors of the present invention, the effective treatment time period, as shown in Figure 7, at treatment temperature T within the range of 1050°C to 1350°C, is at least a time period t_c as expressed by the following equation.

[Equation 5]

$$t_c \text{ (hours)} = \exp[(1050 - T \text{ (°C)}) / 130]$$

[0021] According to the present invention, dielectric breakdown voltage strength of the silicon oxide film of a CZ silicon wafer can be improved to roughly equivalent that of an FZ silicon wafer and epitaxial wafer, and such improvement can be attained without the danger of explosion and corrosion.

[0022]

[Working Examples] Working examples of the present invention are explained below. Examples of the present invention 1 through 12 used CZ silicon wafers of 5 inch diameter that had <100> surface orientation and $1 \times 10^{18} \text{ cm}^{-3}$ interstitial oxygen concentration and were doped with $1 \times 10^{15} \text{ atoms/cm}^3$ of boron. First the wafers were immersed in dilute hydrofluoric acid aqueous solution, and the native oxide film present on the surface was removed. Thereafter rinsing was carried out using ultra-pure water, followed by spin drying. These wafers were then charged into a furnace under an oxygen atmosphere at 800°C to form a 5 to 20 Å thick silicon oxide film on the wafer surface. Thereafter these wafers were loaded into a furnace under an argon atmosphere at 1050°C to 1350°C, followed by 1 to 24 hours of heat treatment.

[0023] Except for a heat treatment temperature of 1000°C, conditions of comparative example 13 were the same as those of working examples 1 through 4.

Except for a treatment time of 0.5 hour, conditions of comparative example 14 were the same as those of working examples 2, 5, and 6.

Except for a treatment temperature of 1400°C, conditions of comparative examples 15 and 16 were the same as those of working examples 9 and 10.

Except for a treatment time of 0.1 hour and a treatment temperature of 1000°C, conditions of comparative example 17 were the same as those of working examples 1 through 10.

Except for formation upon the CZ silicon wafer prior to heat treatment of a silicon oxide film having a thickness of 0, 50, and 400Å respectively, conditions of comparative examples 18 through 20 were the same as those of working examples 2 and 10.

Except for use of non-inert gas for the heat treatment atmosphere (nitrogen gas, oxygen gas, 1% hydrogen chloride-containing hydrogen gas, respectively), conditions of comparative examples 21 through 23 were the same as those of working examples 2 and 6. Comparative examples 22 and 23 are the conventional technology.

[0024] Reference examples 24 through 26 are examples using non-heat treated CZ silicon wafers, FZ silicon wafers, and epitaxial silicon wafers. These reference examples were used for examination of dielectric breakdown voltage strength of the silicon oxide film for today's CZ silicon wafer in comparison to the targeted FZ silicon wafer and epitaxial silicon wafer.

[0025] This evaluation of dielectric breakdown voltage strength was carried out by forming 90 MOS diodes of 0.12 cm² surface area and then measuring the dielectric breakdown electrical field. The wafer was first immersed in dilute hydrofluoric acid aqueous solution, and the silicon oxide film formed on the surface was removed. Then after rinsing with ultra-pure water, the wafer was spin dried. This spin-dried wafer was oxidized in a dry oxygen atmosphere at 1000°C to form MOS diode silicon oxide film that was 250Å thick. A phosphorous-doped polysilicon layer was deposited by low pressure CVD to form the MOS diode electrodes. MOS diode dielectric breakdown electrical field was measured by holding the wafer backside at zero potential while applying a negative potential to the surface electrode. Breakdown electrical field was determined by measurement of the potential at the time that current in the MOS diode reached 100 mA/cm². The proportion of the 90 MOS diodes produced upon the wafer that indicated a dielectric breakdown electrical field of at least 10-MV/cm was defined as the "pass rate" which was used as an indicator of dielectric breakdown voltage strength of the silicon oxide film obtained by oxidation of the surface of the silicon wafer. A pass rate of at least 80% was evaluated as providing a breakdown voltage of the same order as that of the FZ silicon wafer and epitaxial silicon wafer.

[0026] Table 1 shows results of evaluations of the working examples and the comparative examples. All of the working examples showed the excellent characteristics of a pass rate of at least 80%. This indicates a great improvement upon comparison with reference example 24. Pass rate of the working examples was of the same order or better than that for the FZ silicon wafer and epitaxial silicon wafer. Therefore the method of the present example clearly is an extremely effective method for great improvement of silicon oxide film dielectric breakdown voltage of a CZ silicon wafer.

[0027]

[Table 1]

		Thickness of surface oxide film (Å)	Heat treatment temp. (°C)	Heat treatment time period t (hours)	t_c^*	Atmosphere	Pass rate (%)
Working example	1	7	1050	24	1	Ar	80
Working example	2	7	1100	24	0.68	Ar	93
Working example	3	7	1150	24	0.46	Ar	93
Working example	4	7	1350	24	0.10	Ar	95
Working example	5	7	1100	1	0.68	Ar	80
Working example	6	7	1100	5	0.68	Ar	89
Working example	7	7	1350	1	0.01	Ar	95
Working example	8	7	1050	1	1	Ar	80
Working example	9	7	1200	0.33	0.31	Ar	85
Working example	10	7	1350	0.1	0.10	Ar	80
Working example	11	5	1100	24	0.68	Ar	85
Working example	12	20	1100	24	0.68	Ar	90
Comparative example	13	7	1000	24	1.47	Ar	20
Comparative example	14	7	1100	0.5	0.68	Ar	30
Comparative example	15	7	1400	0.1	0.07	Ar	40
Comparative example	16	7	1400	0.33	0.07	Ar	38
Comparative example	17	7	1000	0.1	1.47	Ar	15
Comparative example	18	0	1100	24	0.68	Ar	11
Comparative example	19	50	1100	24	0.68	Ar	11
Comparative example	20	400	1100	24	0.68	Ar	10
Comparative example	21	7	1100	24	0.68	N ₂	0
Comparative example	22	7	1100	24	0.68	O ₂	15
Comparative example	23	7	1100	5	0.68	H ₂ + 1% HCl	1
Reference example	24	CZ silicon wafer with no heat treatment					10
Reference example	25	FZ silicon wafer with no heat treatment					88
Reference example	26	epitaxial silicon wafer with no heat treatment					95

* t_c (hours) = $\exp[(1050 - T (^{\circ}\text{C})) / 130]$

[0028] For comparative examples 13 through 20, when the conditions of treatment temperature, heat treatment time period, and silicon wafer surface oxide film thickness departed from the ranges of the present invention (as indicated in Figure 6 and Figure 7), the pass rate was low which indicated insufficient improvement of dielectric breakdown voltage strength of the silicon oxide film. Upon comparison of pass rates of the working examples and that of reference example 24 (conventional technology), pass rates for the present invention are shown to be much higher than those of the conventional method. The method of the present invention is clearly much superior, as indicated by raising by the present invention of dielectric breakdown voltage of the silicon oxide film into the high electrical field region.

[0029] Although comparative example 21 utilized heat treatment in a nitrogen atmosphere as has been often used in the silicon semiconductor industry, not only was improvement of silicon oxide film dielectric breakdown voltage strength not recognized, in contrast to the improvement seen due to heat

treatment in the inert gas atmosphere of the present invention, but worsening actually occurred after treatment in a nitrogen atmosphere. Although the above mentioned working examples used argon gas as the inert gas, the same effect can be obtained by use of helium gas, neon gas, krypton gas, xenon gas, and a mixture of such gases.

[0030]

[Results of the Invention] As explained above, due to marked improvement of dielectric breakdown voltage of a silicon oxide film of a CZ silicon wafer by the present invention, the present invention will have a great impact upon industry since the present invention makes possible production of highly reliable silicon integrated devices while maintaining the benefits of the CZ silicon wafer.

[Simple Explanation of the Figures]

[Figure 1] This is a diagram showing the dielectric breakdown voltage strength distribution of silicon oxide film of a CZ silicon wafer that has undergone no heat treatment.

[Figure 2] This is a diagram showing the dielectric breakdown voltage strength distribution of silicon oxide film of an FZ silicon wafer.

[Figure 3] This is a diagram showing the dielectric breakdown voltage strength distribution of silicon oxide film of an epitaxial silicon wafer.

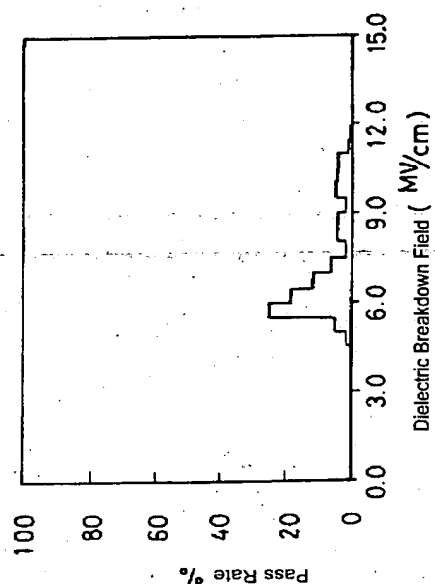
[Figure 4] This is a diagram showing the dielectric breakdown voltage strength distribution of silicon oxide film of a CZ silicon wafer that has undergone sacrificial oxidation (conventional technology).

[Figure 5] This is a diagram showing the dielectric breakdown voltage strength distribution of silicon oxide film of a CZ silicon wafer that has undergone heat treatment in a hydrogen gas atmosphere containing 1% hydrogen chloride (conventional technology).

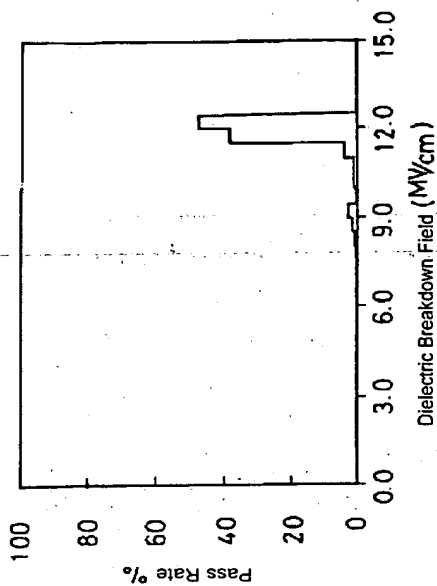
[Figure 6] This is a diagram showing the effect of wafer surface silicon oxide film (sacrificial oxide film) thickness upon pass rate. Within this figure, item (1) is the film thickness range according to the present invention. Item (2) is the change in (product) pass rate after heat treatment. Item (3) is the region of failure caused by poor outward diffusion of interstitial oxygen atoms. Here • indicates a working example of the present invention, and × indicates a comparative example.

[Figure 7] This is a diagram showing the relationship between the time period and the temperature of heat treatment that improves silicon oxide film (product) breakdown voltage. Within this figure, item (1) shows the range of heat treatment temperature according to the present invention. Here • indicates a working example of the present invention, and × indicates a comparative example.

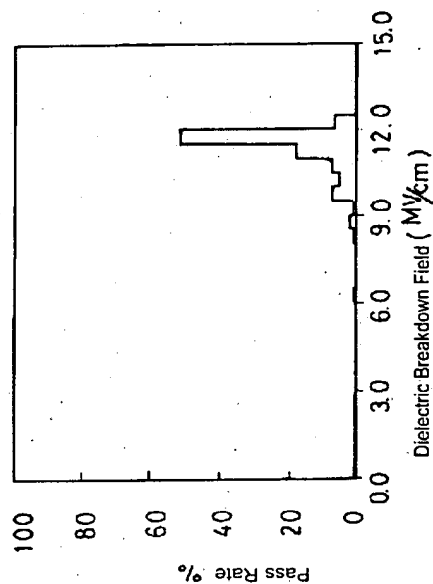
[Figure 1]



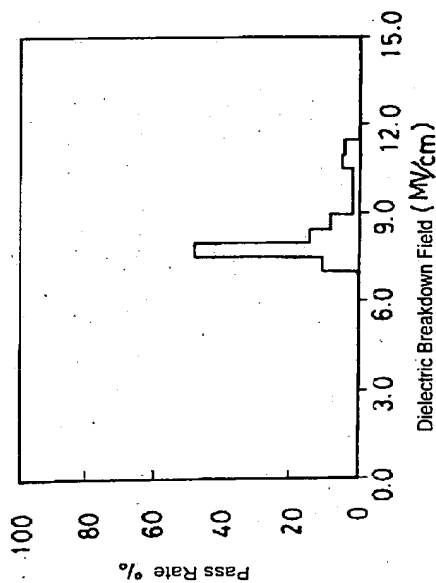
[Figure 3]



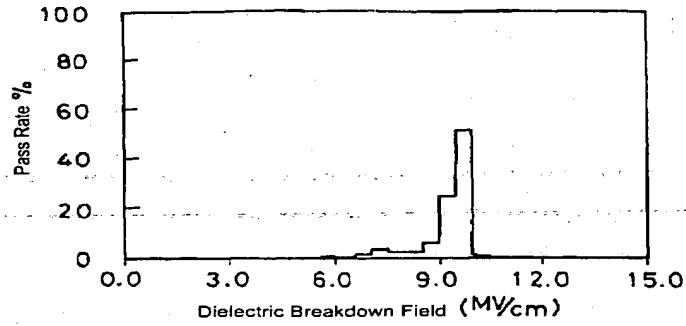
[Figure 2]



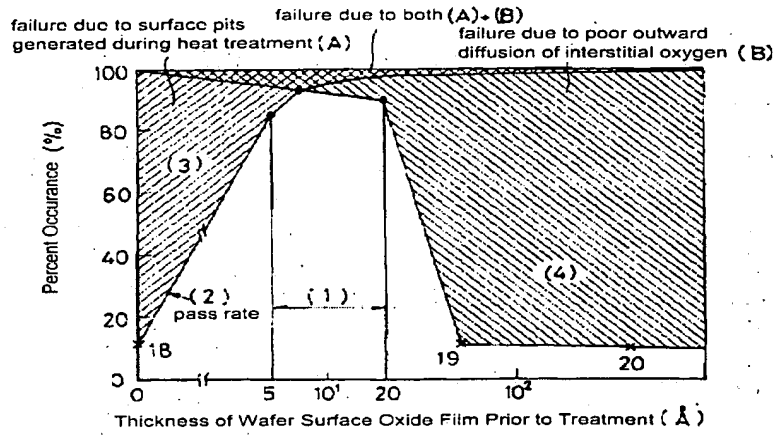
[Figure 4]



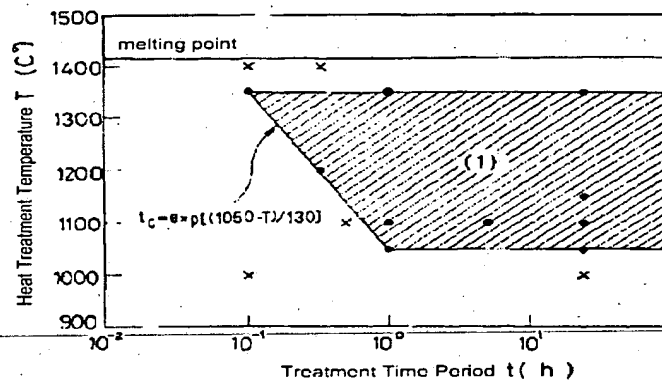
[Figure 5]



[Figure 6]



[Figure 7]



MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP4294540
Publication date: 1992-10-19
Inventor(s): TSUMORI YASUO; others: 03
Applicant(s):: NIPPON STEEL CORP
Requested Patent: ☐ JP4294540
Application Number: JP19910060162 19910325
Priority Number(s):
IPC Classification: H01L21/316 ; H01L21/324
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a method for reinforcing an insulation breakdown withstand voltage strength of silicon oxide film which is formed on a silicon substrate formed by a Czochralski method.
CONSTITUTION: Before a surface of a silicon substrate is thermally oxidized and a silicon oxide film for insulation dielectric film is formed, an oxide film which is equal to or more than 5Angstrom and equal to and less than 20Angstrom is formed on the surface of the silicon substrate and then heat treatment is performed for a time longer than t_c which is expressed by $t_c(h) = \exp[(1050 - T(\text{deg.C}))/130]$ within a heat treatment temperature range of $T = 1050 \text{ deg.C} - 1350 \text{ deg.C}$ within an inactive gas atmosphere.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-294540

(43) 公開日 平成4年(1992)10月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316	S	8518-4M		
21/324	Z	8617-4M		

審査請求 未請求 請求項の数2 (全 11 頁)

(21) 出願番号 特願平3-60162

(22) 出願日 平成3年(1991)3月25日

特許法第30条第1項適用申請有り 1990年9月26日 社
団法人応用物理学会発行の「1990年(平成2年)秋季第
51回応用物理学会学術講演会予稿集」に発表

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 津森 泰生

山口県 光市 大字島田 3434番地 新日
本製鐵株式会社光製鐵所内

(72) 発明者 齋藤 肇

山口県 光市 大字島田 3434番地 新日
本製鐵株式会社光製鐵所内

(72) 発明者 林 俊一

神奈川県 川崎市 中原区 井田 1618番
地 新日本製鐵株式会社第1技術研究所内

(74) 代理人 弁理士 八田 幹雄 (外2名)

最終頁に続く

(54) 【発明の名称】 半導体の製造方法

(57) 【要約】

【目的】 本発明は、チョクラルスキー法により製造さ
れたシリコン基板に形成されるシリコン酸化膜の絶縁破
壊耐圧強度を強める方法を提供する。

【構成】 シリコン基板の表面を熱酸化して絶縁誘電体
膜用のシリコン酸化膜を形成する前に、該シリコン基板
の表面に5オングストローム以上20オングストローム
以下の酸化膜を形成し、その後、不活性ガス雰囲気中
で、熱処理温度Tが1050℃以上1350℃以下の範
囲で、 $t_c(h) = \exp[(1050 - T(℃)) / 130]$ で表せる時間t。以上の熱処理を施す。

【特許請求の範囲】

【請求項1】 チョクラスキー法により製造されたシリコン半導体結晶から加工されたシリコン基板の熱処理に際し、該熱処理の前に、該シリコン基板の表面に5オングストローム以上20オングストローム以下の膜厚を有する酸化膜を形成することを特徴とするシリコン基板の熱処理方法。

【請求項2】 チョクラスキー法により製造されたシリコン半導体結晶から加工されたシリコン基板の表面に絶縁誘電体膜用のシリコン酸化膜を形成する半導体の製造方法において、該シリコン酸化膜を形成する処理の前に、該シリコン基板の表面に5オングストローム以上20オングストローム以下の膜厚を有する酸化膜を形成し、不活性ガス雰囲気中で、熱処理温度Tが1050℃以上1350℃以下の範囲で、

【数1】

$$t_c(h) = \exp \left(\frac{1050 - T(^\circ\text{C})}{130} \right)$$

で表せる時間t。以上の熱処理を施すことを特徴とする半導体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコン集積デバイスで用いられているシリコン半導体基板表面を熱酸化して得られるシリコン酸化膜からなる誘電体膜の絶縁破壊耐圧強度を強める方法に関する。

【0002】

【従来の技術】 シリコン集積デバイスの製造に使われている代表的なシリコン半導体基板には、チョクラスキー法 (Czochralski Method) により育成されたシリコン単結晶から加工された基板 (以下この方法で作られたシリコン半導体基板をCZシリコンウェハと呼ぶ) と、浮遊帯溶融法 (Floating Zone-Melting Method) により育成されたシリコン単結晶から加工された基板 (以下この方法で作られたシリコン半導体基板をFZシリコンウェハと呼ぶ) と、CZシリコンウェハの表面にさらに単結晶シリコン膜を化学蒸着法によりエピタキシャル成長させた基板 (以下この基板をエピタキシャルシリコンウェハと呼ぶ) とがある。現在、この中で、シリコン集積デバイスの製造にはCZシリコンウェハが主に使われている。

【0003】 しかしながら、従来より、FZシリコンウェハやエピタキシャルシリコンウェハの表面を酸化して得られるシリコン酸化膜は優れた絶縁破壊耐圧強度を有し、CZシリコンウェハの表面を酸化して得られるシリコン酸化膜の絶縁破壊耐圧強度はそれらより劣ることが

知られていた。これに関しては、清住文雄らの論文「薄いシリコン熱酸化膜の絶縁耐圧」(電気通信学会技術報告 SSD83-66 (1983)、第1頁)あるいは小柳光正著「サブミクロンデバイスII」第3章(丸善(1988))に記載されている。従来、CZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度を改善するために、シリコン酸化膜を形成する前にウェハに熱処理を加える方法が提案されてきた。その中で特に有望なものについて以下に説明する。

【0004】 山部紀久夫らの論文「薄い熱酸化膜の欠陥」(電気通信学会技術報告 SSD82-103 (1982)、第79頁)並びにYamabeらの論文「Thickness Dependence of Dielectric Breakdown Failure of Thermal SiO₂ Films」(Proceeding of the Symposium on DEFECTS IN SILICON 1983、第629頁)には、予め1000℃以上の高温の酸素ガス雰囲気中でCZシリコンウェハを酸化し、さらに、この時形成されたシリコン酸化膜を除去した後に目的のシリコン酸化膜を形成する方法が開示されている。通常、最初におこなった酸化を犠牲酸化、また、その時形成されて後に除去したシリコン酸化膜を犠牲酸化膜と呼んでいる。この論文の中に、高温熱処理は、過飽和酸素の外方拡散を生じ、ウェハ表面の金属析出の核となる酸素析出核を消滅させるので酸化膜の絶縁破壊耐圧強度を改善するというモデルが開示されている。しかし、後述するように、単なる過飽和酸素の外方拡散のみでは酸化膜の絶縁破壊耐圧強度は改善されない。

【0005】 特開昭62-21067号公報は、目的のシリコン酸化膜を形成する前に、CZシリコンウェハを水素ガスまたは水素のハロゲン化物の含まれる還元雰囲気中で、950℃以上の温度で5分以上熱処理を行う方法を開示している。この方法により、ウェハ表面に積層欠陥が形成されるのを回避して、高耐圧の酸化膜を形成できるようにしたことが開示されている。現在、市販されているCZシリコンウェハは結晶成長方法の改良を行ってきた結果、デバイス製造工程を通してウェハ表面の積層欠陥がほとんど発生しないような品質を有している。

【0006】 このような積層欠陥が発生しないウェハでもCZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度はFZシリコンウェハやエピタキシャルシリコンウェハのそれに比べるとかなり低い。シリコンウェハの熱処理に関した特許出願は多数あるが、それらは酸化誘起積層欠陥などの結晶欠陥の発生を抑制することを目的としたものであり、シリコン酸化膜の絶縁破壊耐圧強度の改善について記載しているものは、上記の特開昭62-21067号公報以外にはない。

【0007】

【発明が解決しようとする課題】 シリコン集積デバイスの微細化に伴い、MOSトランジスタのゲート絶縁膜に

3

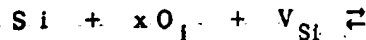
使用されるシリコン酸化膜の厚さは一層薄くなりつつあり、より高い絶縁破壊耐圧強度特性が求められている。本発明の目的は、CZシリコンウェハの表面を酸化して得られるシリコン酸化膜の絶縁破壊耐圧強度を、FZシリコンウェハあるいはエピタキシャルシリコンウェハと同等までに改善する熱処理方法を提供することである。

【0008】高温の犠牲酸化による方法では、前述の山部らの論文に開示されているように、目的のシリコン酸化膜の厚さが300オングストローム以上になるとその絶縁破壊耐圧強度はほとんど改善されない。本発明者は、1100℃の乾燥酸素中でCZシリコンウェハの表面を24時間酸化して、膜厚7100オングストロームの犠牲酸化膜を形成し、それを希弗酸で除去した後、1000℃の乾燥酸素雰囲気中で膜厚250オングストロームのシリコン酸化膜を形成し、その絶縁破壊耐圧強度を調べた。その絶縁破壊耐圧強度の分布を図4に示した。図1に示した犠牲酸化などの熱処理をなにもしていないものと比較して絶縁破壊耐圧強度の若干の改善は認められるが、図2や図3に示したFZシリコンウェハやエピタキシャルシリコンウェハのそれに比べると、まだ絶縁破壊耐圧強度が低いことが明らかになった。

【0009】水素のハロゲン化物を含む水素ガス雰囲気中の熱処理による方法に関しても、本発明者は試験を行った。CZシリコンウェハを1100℃の塩化水素を1%含む水素雰囲気中で5時間熱処理した後、1000℃の乾燥酸素雰囲気中で250オングストロームのシリコン酸化膜を形成し、その絶縁破壊耐圧強度を調べた。その絶縁破壊耐圧強度の分布を図5に示した。やはり、図1に示した熱処理をしていないものに比較して絶縁破壊耐圧強度は改善されているが、図2や図3に示したFZシリコンウェハやエピタキシャルシリコンウェハのそれに比べるとまだ絶縁破壊耐圧強度は低い。また、この方法は高温で水素や水素のハロゲン化ガスを使用するために、爆発や腐食の危険性が高く、防爆安全装置や排ガス処理装置などを必要とし、生産コストの増加をもたらす短所も有する。

【0010】

【課題を解決するための手段】上記の問題点を解決する*



ここで、Siはシリコン原子、O₂は格子間酸素原子、V_{Si}はシリコン原子空孔、SiO_xはシリコン酸化膜の絶縁破壊耐圧強度の低下原因となるシリコン原子と酸素原子との化合物である。この化合物SiO_xの解離反応、すなわち(1)式の左向きの反応は、(1)格子間酸素原子濃度を下げること、(2)シリコン原子空孔濃度を下げることによって進む。

【0013】不活性ガス雰囲気中で1050℃以上の高温にCZシリコンウェハを保持すると、格子間酸素原子は外方拡散してウェハの表面から雰囲気ガス中に放出さ

4

*ために、本発明の方法では、CZシリコンウェハの表面に5オングストローム以上20オングストローム以下の膜厚を有するシリコン酸化膜を形成した後に、不活性ガス雰囲気中で、熱処理温度Tが1050℃以上1350℃以下の範囲で、

【数2】

$$t_c \text{ (h)} = \exp \left(\frac{1050 - T \text{ (}^\circ\text{C)}}{130} \right)$$

で表される時間t。以上保持する。時間の上限はないが、10時間程度保持すれば十分で、それ以上の保持時間では効果は飽和してくる。ここで、不活性ガスとはヘリウムガス、ネオンガス、アルゴンガス、キセノンガスおよびその混合ガスのことである。

【0011】

【作用】本発明者らは、CZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度を詳細に調査した結果、CZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度が、FZシリコンウェハやエピタキシャルシリコンウェハのそれより劣る原因は、CZシリコン単結晶結晶の成長時あるいはCZシリコンウェハの熱処理時に結晶中あるいはウェハ中に極めて微小なシリコン原子と酸化原子との化合物が生成するためであることを明らかにした。ここで述べるシリコン原子と酸素原子との化合物は、特開昭62-21067号公報に記載されている積層欠陥でも、また積層欠陥を誘起する核となる結晶欠陥でもない。

【0012】本発明はCZシリコンウェハ中のこのようなシリコン原子と酸素原子との化合物を解離消滅することによってCZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度を効果的に改善できるという知見に基づくものである。CZシリコンウェハ中でのシリコン原子と酸素原子との化合物の生成・解離反応は以下の式で表せる。

【数3】



れ、またシリコン原子空孔も外方拡散してウェハ表面では消滅し、ウェハ中ではそれぞれの濃度が低下する。ウェハ内の格子間酸素原子とシリコン原子空孔の濃度は表面から下がり始める。シリコン原子空孔の拡散定数は格子間酸素原子のそれよりも大きいので、早く平衡濃度に達する。シリコン原子空孔あるいは格子間酸素原子の濃度が平衡濃度に達すると、シリコン原子と酸素原子との化合物の解離が始まる。

【0014】雰囲気が酸素ガスなど酸化性の雰囲気の場合には、ウェハの表面に酸化膜が成長して格子間酸素原

5

子の外方拡散の障害となると共に、雰囲気ガスから供給される酸素原子のために、格子間酸素原子の濃度が平衡濃度以下には下がらなくなる。その結果、シリコン酸化膜の絶縁破壊耐圧強度の低下原因となるウェハ中の化合物 SiO_2 の解離は十分に進まない。

【0015】雰囲気ガスが窒素ガスの場合には、格子間酸素原子の外方拡散は不活性ガス雰囲気の場合と同様に進んで格子間酸素原子濃度は低下するが、一方で、ウェハ表面でシリコンの窒化反応が起こり、シリコン原子空孔がウェハ内部に注入されるので、シリコン原子空孔の濃度が増加する。その結果、シリコン原子と酸素原子との化合物の解離が充分に進まない。さらに窒素は熱処理過程でシリコン中に溶解し、冷却過程で析出する。この析出物が後の酸化で酸化膜中に取り込まれると、酸化膜の絶縁破壊強度を著しく低下させる。

【0016】雰囲気が水素ガスの場合にはシリコン酸化膜の還元反応により表面での酸化膜の蒸発が起こる*



反応の平衡濃度に達するとシリコンウェハ表面にシリコン酸化膜が形成されるために止まる。しかし不活性ガスの気流中に置かれたシリコンウェハでは表面の SiO ガスは不活性ガス気流によって持ち去られるので、 SiO ガス濃度が平衡濃度に達することができず、 SiO ガスの生成反応が停止しない。このような場合には、シリコンウェハ表面が凸凹に荒れるため、このウェハ表面を酸化して得られるシリコン酸化膜は絶縁破壊耐圧強度が低い。

【0018】予めシリコンウェハ表面をシリコン酸化膜で覆っておくと、この問題を解決できる(図6(2)に図示した)。しかし、一方では、ウェハの表面にシリコン酸化膜があると、格子間酸素原子の外方拡散の障害となるので、許容されるシリコン酸化膜の厚さには限度がある(図6(3)に図示した)。本発明者が実験したところでは、図6(4)に示すように、熱処理前にシリコンウェハ表面を覆っておくシリコン酸化膜の許容される厚さは5オングストローム以上20オングストローム以下である。5オングストローム未満では安定成膜が難しく、20オングストローム超では格子間酸素の外方拡散が困難となる。図中の「合格率」は実施例のところで説明してあるが、絶縁破壊耐圧強度が10MV/cm以上を示すMOSダイオードの割合であり、シリコン酸化膜の絶縁破壊耐圧強度の評価指標である。

【0019】熱処理においては、格子間酸素原子やシリコン原子空孔の濃度が平衡濃度まで低下しない間は、過飽和に固溶している格子間酸素原子がシリコン原子との化合物を生成する反応が進む。1050℃未満ではシリコン原子空孔や格子間酸素原子の拡散定数が小さくなるため、生成反応が有利になる。したがって、熱処理温度を最適な範囲にとることが重要である。本発明者が実験

6

*め、さらに水素のハロゲン化物を含む場合にはシリコンのハロゲン化反応が起こってシリコンウェハの表面がエッチングされるため、ウェハの表面粗度が大きくなる。粗い表面はシリコンウェハの表面を酸化して得られるシリコン酸化膜の絶縁破壊耐圧強度を低下させる。したがって、熱処理雰囲気はシリコン酸化膜およびシリコンと反応しないアルゴンガスなどの不活性ガス雰囲気が望ましい。

【0017】しかしながら産業用途で使われる高度に精製された不活性ガス中にも0.1ppm程度の微量の酸素が含まれることが多い。微量の酸素を含む不活性ガス中でシリコンウェハを熱処理すると、ガス中の酸素とシリコンが反応して SiO ガスを生成する反応が進みシリコンウェハ表面がエッチングされて表面ピットが発生する。この反応は、シリコンウェハ表面の SiO ガス濃度が

【数4】

したところでは、図7に示すように1050℃以上、望ましくは1100℃以上が適当であることがわかった。温度の上限については1350℃である。その理由は1350℃より高温ではシリコンウェハの降伏応力が著しく低下し、転位等の結晶欠陥が増大するためである。更により望ましい熱処理方法としては、熱処理前のCZシリコンウェハの格子間酸素原子濃度に平衡濃度が等しくなるような温度以上の温度から1050℃までを極めてゆっくりと下げて来るのがよい。そのようにするとウェハ表面近傍では化合物の生成反応が抑制される。

【0020】熱処理時間は、少なくとも格子間酸素原子とシリコン原子空孔が外方拡散して、その濃度が平衡濃度以下に低下して解離反応が開始する時間以上維持することが必要である。本発明者が実験したところでは、効果的な処理時間は図7に示すように熱処理温度Tが1050℃～1350℃の範囲で、

【数5】

$$t_c \text{ (h)} = \exp \left(\frac{1050 - T \text{ (℃)}}{130} \right)$$

で表される時間 t_c 以上である。

【0021】本発明によれば、爆発や腐食の危険性の問題もなく、CZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度をFZシリコンウェハやエピタキシャルシリコンウェハと同等までに改善することが達成される。

【0022】

【実施例】以下、本発明の実施例について説明する。本発明例1～12は、面方位(100)、格子間酸素原子

濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、ボロン原子を $1 \times 10^{16} \text{ cm}^{-3}$ ドープした直径5インチのCZシリコンウェハを用いた。まず、ウェハを希弗酸水溶液に浸漬して表面に存在する自然酸化膜を除去し、次に超純水ですすぎ洗浄をした後に、スピンド乾燥した。これらのウェハを直ちに、800℃の酸素雰囲気炉に入れ膜厚5～20オングストロームのシリコン酸化膜をウェハ表面に形成した。その後、これらのウェハを1050℃～1350℃のアルゴンガス雰囲気炉に入れて0.1～24時間熱処理した。

【0023】比較例13の熱処理温度は1000℃とし、他の条件は本発明例1～4と同じにした。

比較例14の処理時間は0.5時間とし、他の条件は本発明例2、5、6と同じにした。

比較例15、16は熱処理温度1400℃とし、他の条件は本発明例9、10と同じにした。

比較例17は熱処理温度、時間をそれぞれ1000℃、0.1時間とし、他の条件は本発明例1～10と同じにした。

比較例18～20は熱処理前にCZシリコンウェハ表面に形成するシリコン酸化膜の厚さを0.50および400オングストロームとし、他の条件は本発明例2、10と同じにした。

比較例21～23は、熱処理雰囲気を不活性ガスでない、それぞれ窒素ガス、酸素ガス、塩化水素を1%含む水素ガスとし、他の条件は本発明例2、6と同じにした。比較例22、23は従来技術である。

【0024】参考例24～26は、熱処理していないCZシリコンウェハ、FZシリコンウェハ、エピタキシャルシリコンウェハの例である。これは参考までに現状のCZシリコンウェハと目標となるFZシリコンウェハ、エピタキシャルシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度を調べたものである。

【0025】絶縁破壊耐圧強度の評価は、ウェハ表面上に90個製作した面積0.12cm²のMOSダイオードの絶縁破壊電界を測定することによって行った。まず、これらのウェハを希弗酸水溶液に浸漬して、表面に形成されたシリコン酸化膜を除去し、更に超純水ですすぎ洗浄をした後、スピンド乾燥した。MOSダイオードの厚さ250オングストロームのシリコン酸化膜はこれらのスピンド乾燥ウェハを1000℃の乾燥酸素雰囲気中で酸化して形成した。MOSダイオードの電極はリンをドープした多結晶シリコン膜を減圧の化学蒸着で形成した。MOSダイオードの絶縁破壊電界は、ウェハの裏面をゼロ電位に保ち、表面の電極に負電位を掃引印加して、MOSダイオードに流れる電流が100mA/cm²に達した時の電位を絶縁破壊電界として測定することによって求めた。ウェハ上に製作した90個のMOSダイオードの内、絶縁破壊電界が10MV/cm以上を示したものの割合を「合格率」として定義し、これをシリコンウェハの表面を酸化して得られるシリコン酸化膜の絶縁破壊耐圧強度を表す指標とした。合格率が80%以上の場合をFZウェハ、エピタキシャルシリコンウェハと同等の耐圧が得られたと評価した。

【0026】表1に本発明例ならびに比較例の評価結果を示した。本発明例ではいずれも合格率80%以上という優れた特性を示した。参考例24と比べると、大幅な改善を示している。本発明例では、参考例25、26のFZシリコンウェハとエピタキシャルシリコンウェハの合格率と同等あるいはそれ以上であり、本発明の方法がCZシリコンウェハのシリコン酸化膜絶縁破壊耐圧強度の大幅な改善に極めて有効な方法であることが明かである。

【0027】

【表1】

		表面酸化 膜厚さ(Å)	熱処理温 度T(°C)	熱処理時 間t(時間)	t_c^*	雰囲気	合格率 (%)
本発明例	1	7	1050	24	1	Ar	80
本発明例	2	7	1100	24	0.68	Ar	93
本発明例	3	7	1150	24	0.46	Ar	93
本発明例	4	7	1350	24	0.10	Ar	95
本発明例	5	7	1100	1	0.68	Ar	80
本発明例	6	7	1100	5	0.68	Ar	89
本発明例	7	7	1350	1	0.01	Ar	95
本発明例	8	7	1050	1	1	Ar	80
本発明例	9	7	1200	0.33	0.31	Ar	85
本発明例	10	7	1350	0.1	0.10	Ar	80
本発明例	11	5	1100	24	0.68	Ar	85
本発明例	12	20	1100	24	0.68	Ar	90
比較例	13	7	1000	24	1.47	Ar	20
比較例	14	7	1100	0.5	0.68	Ar	30
比較例	15	7	1400	0.1	0.07	Ar	40
比較例	16	7	1400	0.33	0.07	Ar	38
比較例	17	7	1000	0.1	1.47	Ar	15
比較例	18	0	1100	24	0.68	Ar	11
比較例	19	50	1100	24	0.68	Ar	11
比較例	20	400	1100	24	0.68	Ar	10
比較例	21	7	1100	24	0.68	N ₂	0
比較例	22	7	1100	24	0.68	O ₂	15
比較例	23	7	1100	5	0.68	H ₂ +1% HCl	1
参考例	24	熱処理なし CZシリコンウェハ					10
参考例	25	熱処理なし FZシリコンウェハ					88
参考例	26	熱処理なし エピタキシャルシリコンウェハ					95

$$* t_c = \exp[(1050-T)/130]$$

【0028】比較例13～20は、熱処理温度、熱処理時間、シリコンウェハ表面の酸化膜の厚さの条件が本発明の範囲(図6、図7に図示した)から外れる場合は、合格率が低く、シリコン酸化膜の絶縁破壊耐圧強度の改善効果は十分でないことを示している。本発明例と参考例24(従来技術)の合格率を比較すると、本発明の方法は従来方法よりも格段に高い合格率を示し、より優れた方法であることが明白である。これは本発明がシリコン酸化膜の絶縁破壊耐圧をより高い電界領域に改善す

るためである。

【0029】比較例21はシリコン半導体産業で従来よりよく使われている窒素雰囲気熱処理であるが、不活性雰囲気熱処理である本発明例のようなシリコン酸化膜の絶縁破壊耐圧強度の改善効果は認められず、かえって悪化している。以上の本発明例においては、不活性ガスとしてアルゴンガスを用いたが、ヘリウムガス、ネオンガス、クリプトンガス、キセノンガスおよびその混合ガスを用いても同様な効果を得ることができる。

【0030】

【発明の効果】以上詳述した如く、本発明によれば、CZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度を著しく改善するので、CZシリコン基板の長所を享受しながら高い信頼性を有するシリコン集積デバイスの製造が可能となるので産業上極めて大きな効果がある。

【図面の簡単な説明】

【図1】は、熱処理をしていないCZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度分布を示す図、

【図2】は、FZシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度分布を示す図、

【図3】は、エピタキシャルシリコンウェハのシリコン酸化膜の絶縁破壊耐圧強度分布を示す図、

【図4】は、犠牲酸化したCZシリコンウェハのシリコン酸化膜（従来技術）の絶縁破壊耐圧強度分布を示す図、

【図5】は、塩化水を1%含む水素ガス雰囲気中で熱

処理したCZシリコンウェハのシリコン酸化膜（従来技術）の絶縁破壊耐圧強度分布を示す図、

【図6】は、ウェハの表面のシリコン酸化膜（犠牲酸化膜）厚さの合格率への影響を示す図で、図中、

（1）は、本発明に係わる膜厚の範囲を、

（2）は、熱処理後（製品）の合格率変化を、

（3）は、熱処理時に発生する表面ビット起因の不合格の発生域を、

（4）格子間酸化原子の外方拡散不良起因の不合格の発生域を、

●は、本発明例を、

×は、比較例を、それぞれ示し、

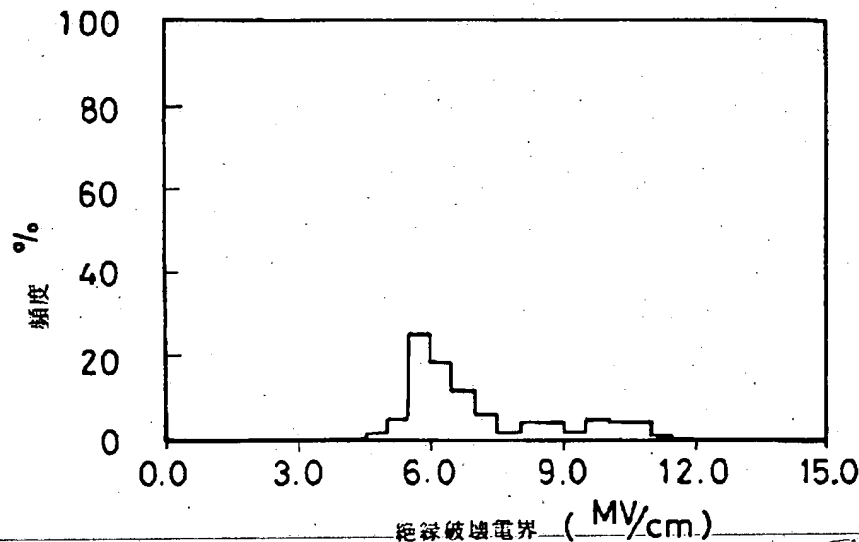
【図7】は、シリコン酸化膜（製品）耐圧の向上する熱処理温度と時間の関係を示す図で、図中、

（1）は、本発明に係わる熱処理温度の範囲を、

●は、本発明例を、

×は、比較例を、それぞれ示すものである。

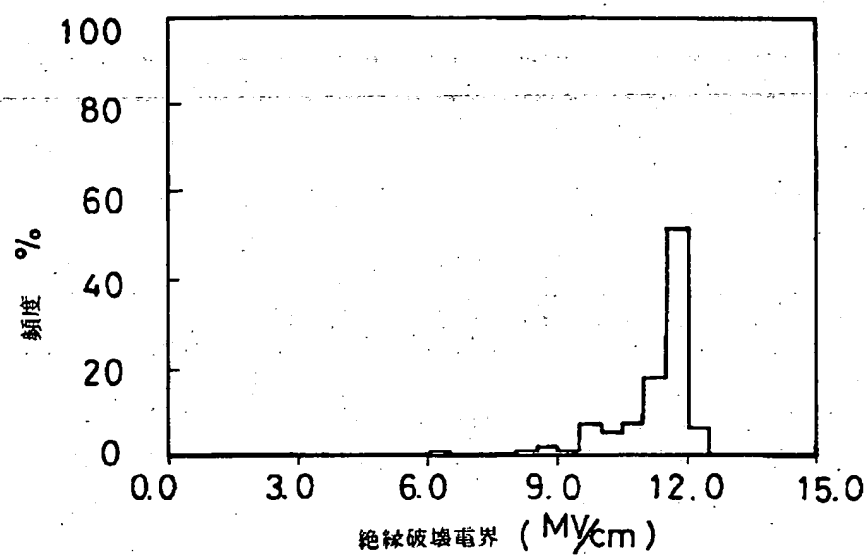
【図1】



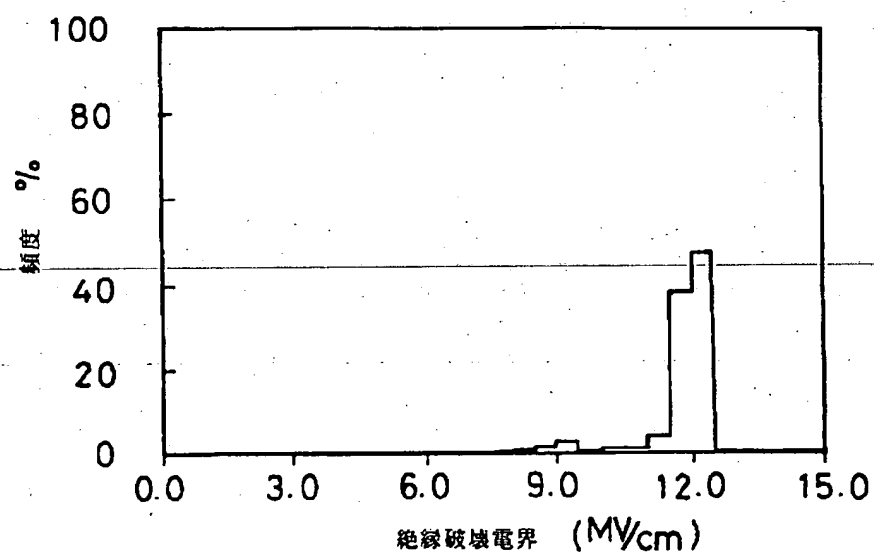
(8)

特開平4-294540

【図2】



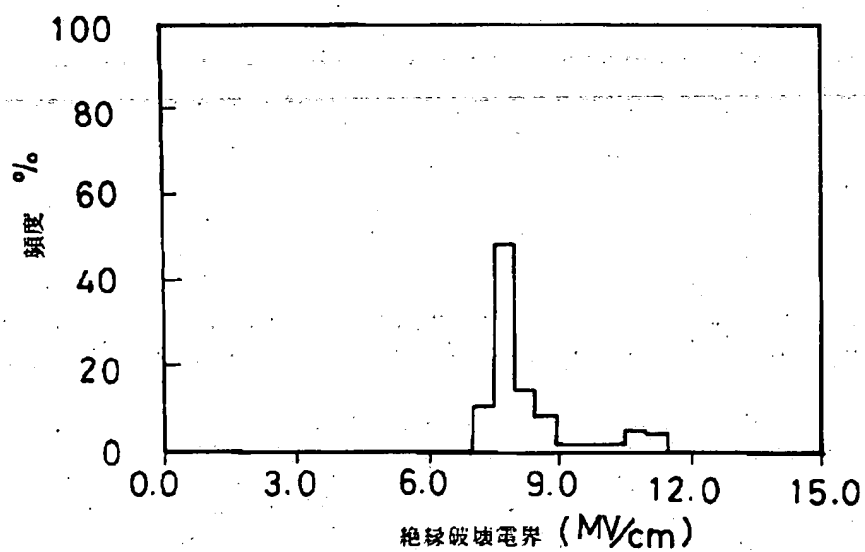
【図3】



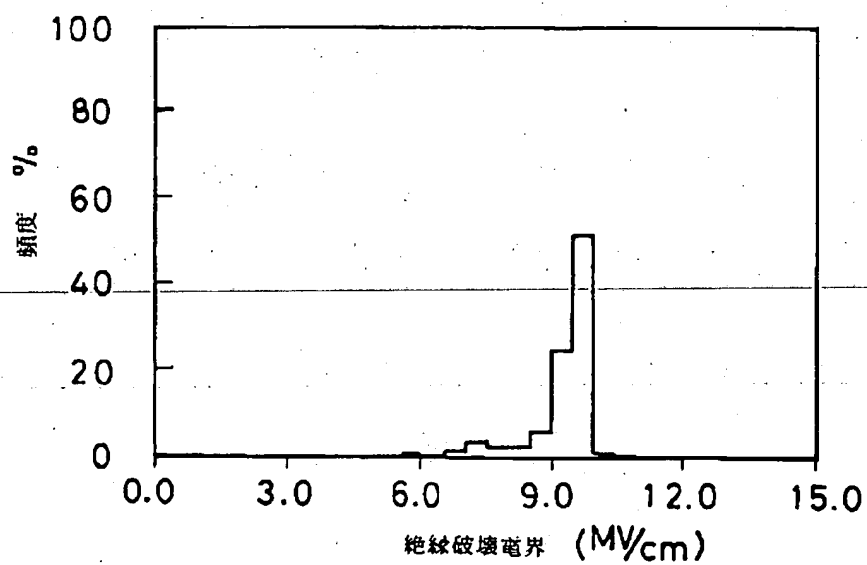
(9)

特開平4-294540

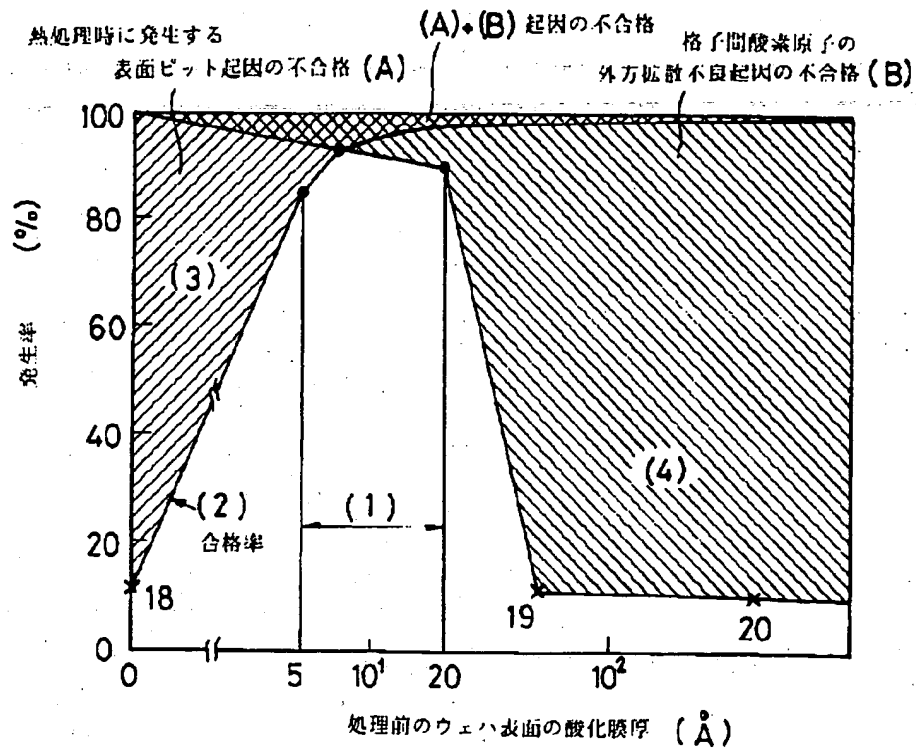
【図4】



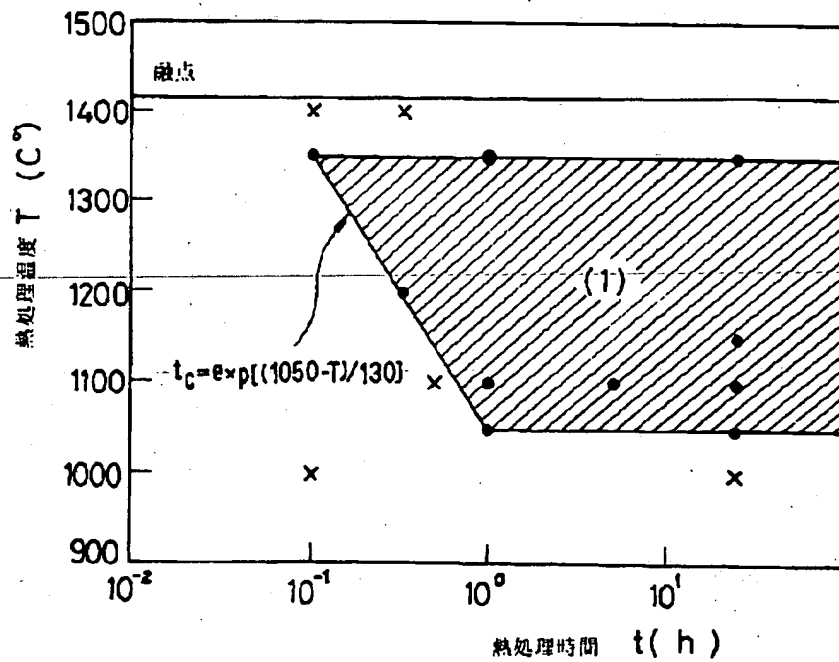
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 日月 應治

山口県 光市 大字島田 3434番地 新日

本製鐵株式会社光製鐵所内